

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243919

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H03K 3/286

(21)Application number : 04-041195

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.02.1992

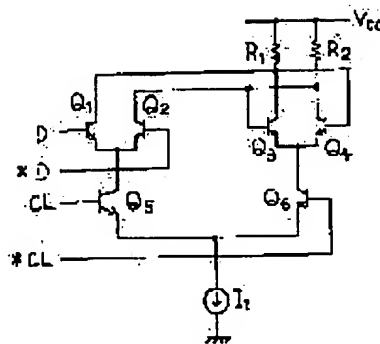
(72)Inventor : HORIKOSHI MASARU

(54) LATCH CIRCUIT

(57)Abstract:

PURPOSE: To increase the operation speed of a latch circuit constituted of an ECL without increasing power consumption.

CONSTITUTION: Transistors Q1 and Q2 connected differentially respectively, the transistors Q3 and Q4 whose inputs and outputs are cross-connected and to which the outputs of the transistors Q1, Q2 are impressed, the transistor Q5 to control a current to flow in the transistors Q1, Q2 by a clock signal CL, and the transistor Q6 to control the current to flow in the transistors Q3, Q4 by the inverted signal *CL of the clock signal CL are provided, and the size of the transistor Q5 is made larger than the size of the transistor Q6.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-243919

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵
H 0 3 K 3/286

識別記号 庁内整理番号
F 7436-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号 特願平4-41195

(22)出願日 平成4年(1992)2月27日

(71)出願人 000001889

三洋電機株式会社
大阪府守口市京阪本通2丁目18番地

(72)発明者 堀越 勝

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

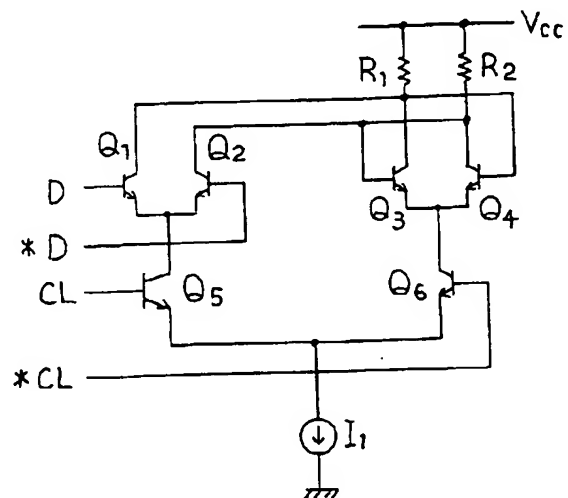
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 ラッチ回路

(57)【要約】

【目的】 本発明は、ECLで構成されたラッチ回路の動作速度を消費電力を増加することなく高速にする。

【構成】 各々差動接続されたトランジスタ Q_1 及び Q_2 と、入力と出力がクロス接続されトランジスタ Q_1 及び Q_2 の出力が印加されたトランジスタ Q_3 及び Q_4 と、トランジスタ Q_1 及び Q_2 に流れる電流をクロック信号 CL によって制御するトランジスタ Q_5 と、トランジスタ Q_3 及び Q_4 に流れる電流をクロック信号 CL の反転信号 $*CL$ によって制御するトランジスタ Q_6 とを備え、トランジスタ Q_5 のサイズをトランジスタ Q_6 のサイズより大きくする。



【特許請求の範囲】

【請求項1】 相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタのサイズを前記第6のトランジスタのサイズより大きくすることを特徴とするラッチ回路。

【請求項2】 相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタは、前記第6のトランジスタと同一のサイズを有するトランジスタを複数並列接続して構成することを特徴とするラッチ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ECL（エミッタ・カップルド・ロジック）によって構成された集積回路に内蔵されるラッチ回路に関する。

【0002】

【従来の技術】 従来ECLによって構成されたラッチ回路は、図3に示すように構成されている。図において、トランジスタ Q_1 と Q_2 は、エミッタが共通に接続され、各々のベースを入力とする所謂差動増幅回路を構成し、ベースにはデータ信号 D 及びその反転信号 \bar{D} が印加される。トランジスタ Q_3 と Q_4 は、エミッタが共通に接続され、互いのベースとコレクタがクロス接続されると共に、各々のコレクタと電源 V_{CC} の間に負荷抵抗 R_1 と R_2 が接続される。また、トランジスタ Q_1 と Q_2 のコレクタは、負荷抵抗 R_1 及び R_2 とトランジスタ Q_3 及び Q_4 のコレクタの接続点に接続される。

【0003】 更に、トランジスタ Q_1 と Q_2 のエミッタは、クロック信号 CL がベースに印加されるトランジスタ Q_5 のコレクタに接続され、トランジスタ Q_5 のエミッタは、電流源 I_1 に接続される。トランジスタ Q_3 と Q_4 のエミッタは、クロック信号 CL の反転信号 \bar{CL} がベースに印加されたトランジスタ Q_6 のコレクタに接続され、トランジスタ Q_6 のエミッタは電流源 I_1 に接続される。

【0004】 図3のラッチ回路において、クロック信号 CL が「H」レベル、反転クロック信号 \bar{CL} が「L」

レベルの場合、トランジスタ Q_5 がオンになり、トランジスタ Q_6 がオフになるため、電流 I_1 は、トランジスタ Q_1 及び Q_2 に流れ、トランジスタ Q_3 及び Q_4 は不動作状態になる。この時、データ信号 D と反転信号 \bar{D} の内容にしたがってコレクタ電圧の一方が「L」レベル、他方が「H」レベルとなり、この電圧がトランジスタ Q_3 と Q_4 のベースに伝達される。

【0005】 次にクロック信号 CL が「L」レベル、反転クロック信号 \bar{CL} が「H」レベルになると、トランジスタ Q_5 がオフし、トランジスタ Q_6 がオンする。従って、トランジスタ Q_1 と Q_2 が不動作となり、トランジスタ Q_3 と Q_4 が動作する。この時、トランジスタ Q_3 と Q_4 は、トランジスタ Q_1 と Q_2 の出力状態をラッチし保持する。

【0006】

【発明が解決しようとする課題】 図3の回路において、動作速度はトランジスタ Q_1 乃至 Q_6 の特性と、負荷抵抗 R_1 及び R_2 と、電流 I_1 によって決定され、また、出力電圧の振幅は、負荷抵抗 R_1 、 R_2 と電流 I_1 の積で決定される。しかし、出力電圧の振幅を大きくするためには、負荷抵抗 R_1 、 R_2 の値を大きくするか電流 I_1 を大きくする必要があるが、負荷抵抗 R_1 、 R_2 を大きくすると、トランジスタのコレクタ基板容量との時定数が大きくなるため動作速度が遅くなり、また、電流 I_1 を大きくすると消費電力が大きくなってしまう。

【0007】 そこで、出力電圧の振幅を確保するとともに消費電力を抑さえ、且つ動作を更に高速にしたい要求がある。

【0008】

【課題を解決するための手段】 本発明は、上述した点に鑑みて創作されたものであり、相補関係にあるデータ信号が入力に印加され、各々差動接続された第1と第2のトランジスタと、入力と出力がクロス接続され前記第1と第2のトランジスタの出力が印加された第3と第4のトランジスタと、前記第1及び第2のトランジスタに流れる電流をクロック信号によって制御する第5のトランジスタと、前記第3及び第4のトランジスタに流れる電流を前記クロック信号の反転信号によって制御する第6のトランジスタとを備え、前記第5のトランジスタのサイズを前記第6のトランジスタのサイズより大きくすることにより、より高速に動作するラッチ回路を提供するものである。

【0009】

【作用】 入力データを取り込む第1と第2のトランジスタを制御する第5のトランジスタのサイズを大きくすることにより、第1と第2のトランジスタに流れる電流が電流源によって設定された電流に達するまでの時間が短縮されるので、入力データの取り込みと次段への出力が速くなり、全体としての動作速度の高速化が図れる。また、消費電流は電流源によって決定されるため、第5の

3

トランジスタのサイズを大きくしても消費電力は変わらない。

【0010】

【実施例】図1は、本発明の実施例を示す回路図である。図において、トランジスタ Q_1 と Q_2 は、エミッタが共通に接続され、各々のベースを入力とする所謂差動増幅回路を構成し、ベースにはデータ信号 D 及びその反転信号 $\ast D$ が印加される。トランジスタ Q_3 と Q_4 は、エミッタが共通に接続され、互いのベースとコレクタがクロス接続されると共に、その接続点にトランジスタ Q_1 とトランジスタ Q_2 のコレクタが各々接続され、伝達されたデータの保持回路を構成している。また、トランジスタ Q_1 のコレクタとトランジスタ Q_3 のコレクタの接続点と電源 V_{CC} （例えば、3V～5V）の間、及び、トランジスタ Q_2 のコレクタとトランジスタ Q_4 のコレクタの接続点と電源 V_{CC} の間には、各々負荷抵抗 R_1 と R_2 が接続される。この負荷抵抗 R_1 及び R_2 は、前段の差動増幅回路と後段の保持回路で共通に使用されている。

【0011】更に、トランジスタ Q_1 と Q_2 のエミッタは、クロック信号 CL がベースに印加されるトランジスタ Q_5 のコレクタに接続され、トランジスタ Q_5 のエミッタは、電流源 I_1 に接続される。トランジスタ Q_3 と Q_4 のエミッタは、クロック信号 CL の反転信号 $\ast CL$ がベースに印加されたトランジスタ Q_6 のコレクタに接続され、トランジスタ Q_6 のエミッタは電流源 I_1 に接続される。

【0012】ここで、トランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 及び Q_6 は同一のサイズで構成されるが、トランジスタ Q_5 は、トランジスタ Q_6 のサイズの2倍のサイズで構成されている。図1のラッチ回路において、クロック信号 CL が「H」レベル、反転クロック信号 $\ast CL$ が「L」レベルになると、トランジスタ Q_5 がオンになり、トランジスタ Q_6 がオフになるため、電流 I_1 はトランジスタ Q_1 及び Q_2 に流れる。この時、トランジスタ Q_5 の駆動能力が他のトランジスタの2倍になるため、トランジスタ Q_1 と Q_2 のエミッタ電圧は急速に引き下げられ、トランジスタ Q_1 と Q_2 のいずれかがオンする時間が短縮される。例えば、トランジスタ Q_1 のベースに供給されたデータ信号 D が「H」レベル、トランジスタ Q_2 のベースに供給されたデータ信号 $\ast D$ が「L」レベルであるときには、トランジスタ Q_1 が素早くオンする。トランジスタ Q_1 がオンすると、電流 I_1 は負荷抵抗 R_1 を介して流れ、トランジスタ Q_1 のコレクタ電圧は、「L」レベルに引き下げられ、この電圧がトランジスタ Q_4 のベースに伝達される。一方、トランジスタ Q_2 はオフするため、負荷抵抗 R_1 には電流は流れず、そのコレクタ電圧

4

は「H」レベルになり、トランジスタ Q_3 のベースに伝達される。

【0013】次にクロック信号 CL が「L」レベル、反転クロック信号 $\ast CL$ が「H」レベルになると、トランジスタ Q_5 がオフし、トランジスタ Q_6 がオンする。従って、トランジスタ Q_1 と Q_2 が不動作となり、トランジスタ Q_3 と Q_4 が動作する。上述のデータ信号が入力されている場合、「H」レベルが伝達されたトランジスタ Q_3 がオンするため、そのコレクタ電圧は、「L」レベルとなり、トランジスタ Q_1 から伝達された「L」レベルの電圧が保持される。また、トランジスタ Q_4 は、オフとなり、そのコレクタ電圧は「H」となるため、トランジスタ Q_3 のベース電圧が「H」に保持される。

【0014】このように、トランジスタ Q_5 のサイズをトランジスタ Q_6 のサイズの2倍とすることにより、ラッチ回路の動作速度が向上する。また、差動増幅回路と保持回路、即ち、トランジスタ Q_5 と Q_6 に流れる電流は、定電流源 I_1 によって定まるため、消費電力は変化しない。図2は、本発明の他の実施例を示す回路図であり、電源 V_{CC} の電圧が5V以上と高い場合の回路である。図1と同一部分については説明を略すが、特徴は、トランジスタ Q_3 のコレクタ電圧をトランジスタ Q_8 を介してトランジスタ Q_4 に帰還し、トランジスタ Q_4 のコレクタ電圧をトランジスタ Q_7 を介してトランジスタ Q_3 に帰還する点である。トランジスタ Q_7 及び Q_8 のコレクタは電源 V_{CC} に接続され、エミッタを各々トランジスタ Q_3 及び Q_4 のベースに接続され、これにより、トランジスタ Q_3 及び Q_4 のレベルシフトがなされる。そして、トランジスタ Q_5 は図1と同様にトランジスタ Q_6 の2倍のサイズになっているので、同様に動作速度の高速化が実現されている。

【0015】尚、図1及び図2に示された回路では、トランジスタ Q_5 のサイズを2倍にしたが、他と同一サイズのトランジスタを複数並列接続してもよい。

【0016】

【発明の効果】本発明によれば、ラッチ回路の高速動作が消費電力を増すことなく実現できるものであり、例えば、従来400MHzであった最高動作周波数が500MHzから600MHzにまで高めることができた。

【図面の簡単な説明】

【図1】本発明の実施例を示す回路図である。

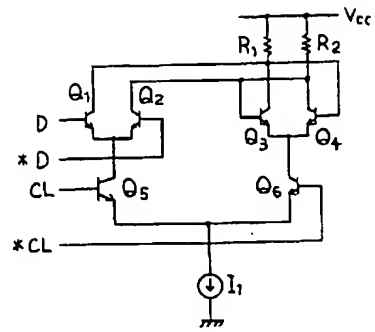
【図2】本発明の他の実施例を示す回路図である。

【図3】従来例を示す回路図である。

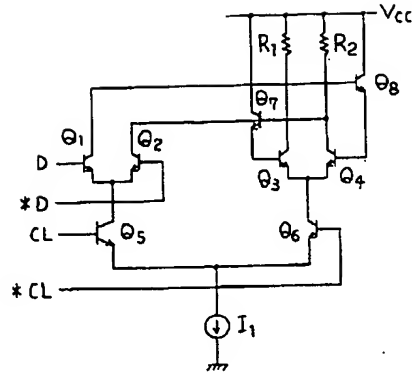
【符号の説明】

$Q_1 \sim Q_8$ トランジスタ
 I_1 電流源

【図 1】



【図 2】



【図 3】

